

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 53-060546

(43)Date of publication of application : 31.05.1978

(51)Int.Cl.

H03F 1/48

(21)Application number : 51-135332

(71)Applicant : HITACHI LTD

(22)Date of filing : 12.11.1976

(72)Inventor : YAMAMURA MASAYORI
YAMASHITA KIICHI

(54) AMPLIFIER

(57)Abstract:

PURPOSE: A bipolar transistor is inserted between FET for input and the output stage to suppress Miller effect by utilizing the characteristics of FET and bipolar Tr, thereby obtaining the high input impedance and wide-band amplifier.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨日本国特許庁

⑩特許出願公開

公開特許公報

昭53—60546

⑪Int. Cl.²

識別記号

⑫日本分類

庁内整理番号

⑬公開 昭和53年(1978)5月31日

H 03 F 1/48

98(5) A 31

6243—53

98(5) A 21

6243—53

発明の数 1

審査請求 未請求

(全 3 頁)

⑭増幅器

⑮特 願 昭51—135332

⑯出 願 昭51(1976)11月12日

⑰発 明 者 山村正順

勝田市市毛1070番地 株式会社

日立製作所水戸工場内

同

山下喜市

国分寺市東恋ヶ窪1丁目280番

地 株式会社日立製作所中央研

究所内

⑱出 願 人 株式会社日立製作所

東京都千代田区丸の内一丁目5

番1号

⑲代 理 人 弁理士 薄田利幸

明 細 書

発明の名称 増幅器

特許請求の範囲

FとT増幅器において、入力用FとTと出力段との間にバイポーラトランジスタを挿入した回路構成とすることを特徴とする増幅器

発明の詳細な説明

本発明は入力段にFET(Field Effect Transistor)を用い、バイポーラトランジスタを入力段と出力段との分離用として使用した増幅器に関し、特に高入力インピーダンス、広帯域な増幅器を提供するにある。

最近、次期通信網として光通信網が脚光を浴びており、研究開発が盛んに行なわれている。光通信においては受光素子の光電変換 δ/N は光電変換信号を増幅する後段の増幅器の入力インピーダンスの実数部 R_{in} が大きい程高くなるから、 R_{in} の大きな増幅器を用いることが有効である。一方、増幅器の入力インピーダンスは容量性であるから R_{in} が大きい場合には、受光素子の出力回路(該

増幅器

素子のバイアス抵抗を含む)の時定数が大きくなり、大幅な帯域劣化を生じる。この劣化は、原理的には高域補償回路を添すことにより補償できるが、帯域劣化が大きい場合、実際には完全に補償することは困難である。また、高域での利得を非常に大きくする必要があることから、回路規模、不安定性が増大する。このことから、増幅器の入力容量は小さいことが要求される。更に上述したと同じ理由から増幅器自体の帯域もまた広帯域が要求される。

従来、かかる例として第1図に示す如き回路構成の増幅器が使われている。この増幅器はFET2を使用しているため、 R_{in} は数M Ω と大きく出来る。然しながら、FETのゲート、ドレイン間容量を C_{dg} 、ゲート、ソース間容量を C_{gs} 、ソース接地の出力容量を C_o 、伝達コンダクタンスを g_m 、FETの入力容量を C_i 、3の抵抗値を R_L とすると

$$C_i = C_o + C_{gs} + (1 + g_m R_L) C_{dg} \quad (1)$$

と換わられる如く、ミラー効果に起因する容量 $g_m R_L C_{dg}$ が大きい為、 C_i を小さくすることは困難

であつた。又、 g_m の周波数依存性が無視できる場合には、増幅器の帯域は低出力インピーダンス

$$Z_L (= \frac{R_L}{1 + g_m (C_{SD} + C_{DO})})$$

で決まり、次式で与えられる。

即ち

$$f = \frac{1}{2\pi R_L (C_{SD} + C_{DO})} \quad (2)$$

ここで f : 3 dB 周波数、 C_{SD} : FET のソース・ドレイン間容量

(2) 式から明らかな如く C_{DO} 、 C_{SD} が大きい程 f は小さくなる。例えば数百 MHz 帯で使用可能とされる 3SK45 でも $C_{DO} + C_{SD}$ は 4~5 pF とかなり大きく R_L を 500Ω (利得は $g_m R_L$ であるから g_m が 14 mS の時利得 7) とすると f は約 80 MHz となるから、 f を大きくするには利得を犠牲にしなければならない。

本発明の目的は上記した従来技術の欠点を解決した高入力インピーダンス、広帯域の増幅器を提供するにある。

バイポーラトランジスタの C_{in} は 1~2 pF であり、 $C_{DO} + C_{SD}$ に比べ 1/2 ~ 1/5 と小さく、 $R_L = 500\Omega$ とすると $f_{in} = 320\text{MHz}$ と広帯域に出来る。第 2 図の基本回路を用いて第 3 図、第 4 図のような差動増幅器を構成することが出来る。これらは第 2 図の回路構成の持つ特徴の外に温度安定性、バイアス安定性を得ることが出来る。例えば、第 2 図において、温度によつて両方の入力端子電圧が共に上つたとすると差動増幅器の特徴として同相の入力増幅しないため、出力は温度に対して安定である。またドレイン電流の変化分 dI_D は

$$dI_D = g_m dV_{GS} \quad (6)$$

によつて決まるため入力バイアス電圧の変動に対して抵抗器 12 を介して V_{GS} が変化する第 3 図、第 4 図の方が直接 V_{GS} が変化する第 2 図よりも dV_{GS} が少ないためドレイン電流の変動が少なくバイアス安定性が良い。実際に使用するときには第 4 図のように出力を片側 18 からのみ取出す場合がある。その際は反対側のバイポーラトランジス

上記の目的を達成するために発明した回路構成の一実施例を第 2 図に示す。同図では D と T の負荷抵抗となるカスコード接続したバイポーラトランジスタ 6 の入力抵抗 ($r_e + r_e/\beta$) が数十Ωと小さい為、ミラー効果を抑制することが出来、その為入力容量 C_i を FET の入力容量にほぼ等しくすることが出来る。即ち

$$C_i' = C_i + C_{DO} + (1 + g_m (r_e + r_e/\beta)) C_{DO} \quad (3)$$

ここで μ : バイポーラトランジスタのエミッタ接地電流増幅率

$$g_m (r_e + r_e/\beta) \ll 1 \text{ より}$$

$$C_i' \approx C_i + C_{DO} + C_{DO} \quad (4)$$

となり、大輸を入力容量の低減化が可能である。

また、本発明の増幅器の帯域 f_{in} は、バイポーラトランジスタで決まり、3 の抵抗値を R_L 、 C_{in} をベース・コレクタ間容量とすれば

$$f_{in} = \frac{1}{2\pi C_{in} R_L} \quad (5)$$

と表わされる。一般に数百 MHz 帯で使用される

を省略しても第 3 図と同等の特性が得られる。

以上、説明したごとく本発明によれば D と T とバイポーラトランジスタの特徴を生かしてミラー効果を抑制し、高入力インピーダンス、広帯域の増幅器を得ることが出来る。

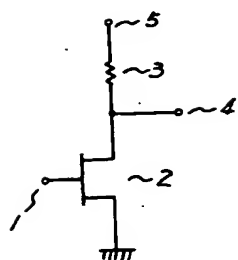
図面の簡単な説明

第 1 図は従来の実施例を示す回路図、第 2 図~第 4 図は本発明による実施例を示す回路図である。

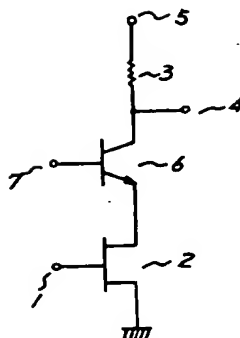
1、8、9 : 入力端子、2、10、11 : FET、3、12、19 : 抵抗器、4、17、18 : 出力端子、5、7、15、16、21 : 電源端子、6、13、14 : バイポーラトランジスタ。

代理人 弁理士 薄田利雄

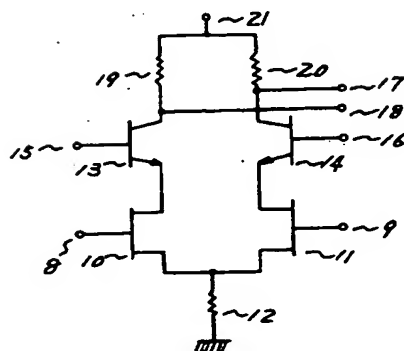
第 1 図



第 2 図



第 3 図



第 4 図

